**國立清華大學**

**Analog Circuit Design**



**Term Project**

**Fully-Differential Two-Stage Op-Amp**

**學號:111063548**

**姓名:蕭方凱**

**指導老師:黃柏鈞教授**

目錄

[1. Schematic 3](#_Toc124093719)

[2. Spice Code 6](#_Toc124093720)

[3. Simulations and Calculations 7](#_Toc124093721)

[3.1 Open-loop differential mode AC response 7](#_Toc124093722)

[3.2 Open-loop differential mode DC sweep 10](#_Toc124093723)

[3.3 Open-loop common mode AC response 11](#_Toc124093724)

[3.4 Open-loop common mode DC sweep 13](#_Toc124093725)

[3.5 Open-loop power supply+ AC response 14](#_Toc124093726)

[3.6 Open-loop power supply- AC response 15](#_Toc124093727)

[3.7 Closed-loop differential mode AC response 16](#_Toc124093728)

[3.8 Closed-loop differential mode DC sweep 18](#_Toc124093729)

[3.9 Closed-loop distortion simulation 19](#_Toc124093730)

[3.10 Closed-loop step response 20](#_Toc124093731)

[4. Performance Table 25](#_Toc124093732)

[5. Design Concerns 26](#_Toc124093733)

[(a) Operation point selection. 26](#_Toc124093734)

[(b) Compensation. Please especially address your placement of unity frequency (ft), first non-dominant pole (p2), and zero (LHP or RHP). 27](#_Toc124093735)

[(c) Feedback loop of common mode stabilization. Please compare the loop performance of the common mode and the differential mode signals. 28](#_Toc124093736)

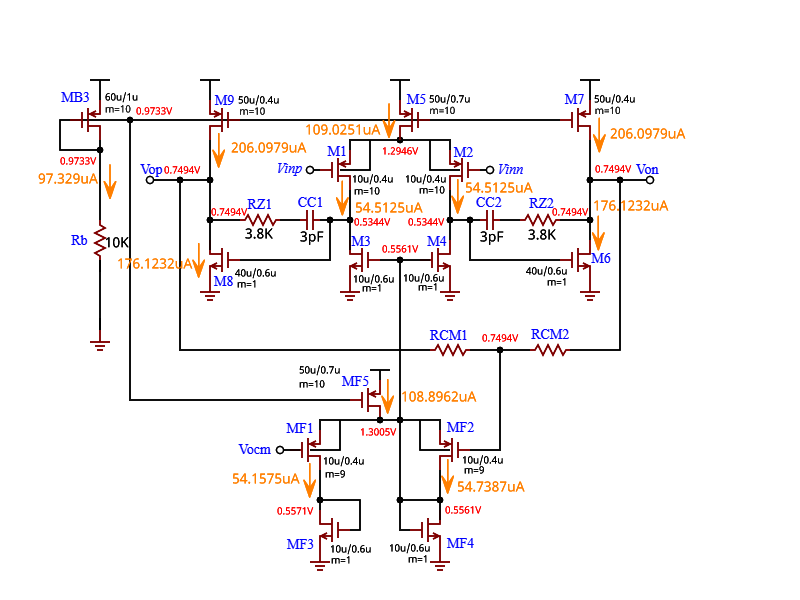
[(d) How to achieve better FoMs. 28](#_Toc124093737)

[6. Discussions 29](#_Toc124093738)

[6.1 Discuss your experience on this project and the problem during design. 29](#_Toc124093739)

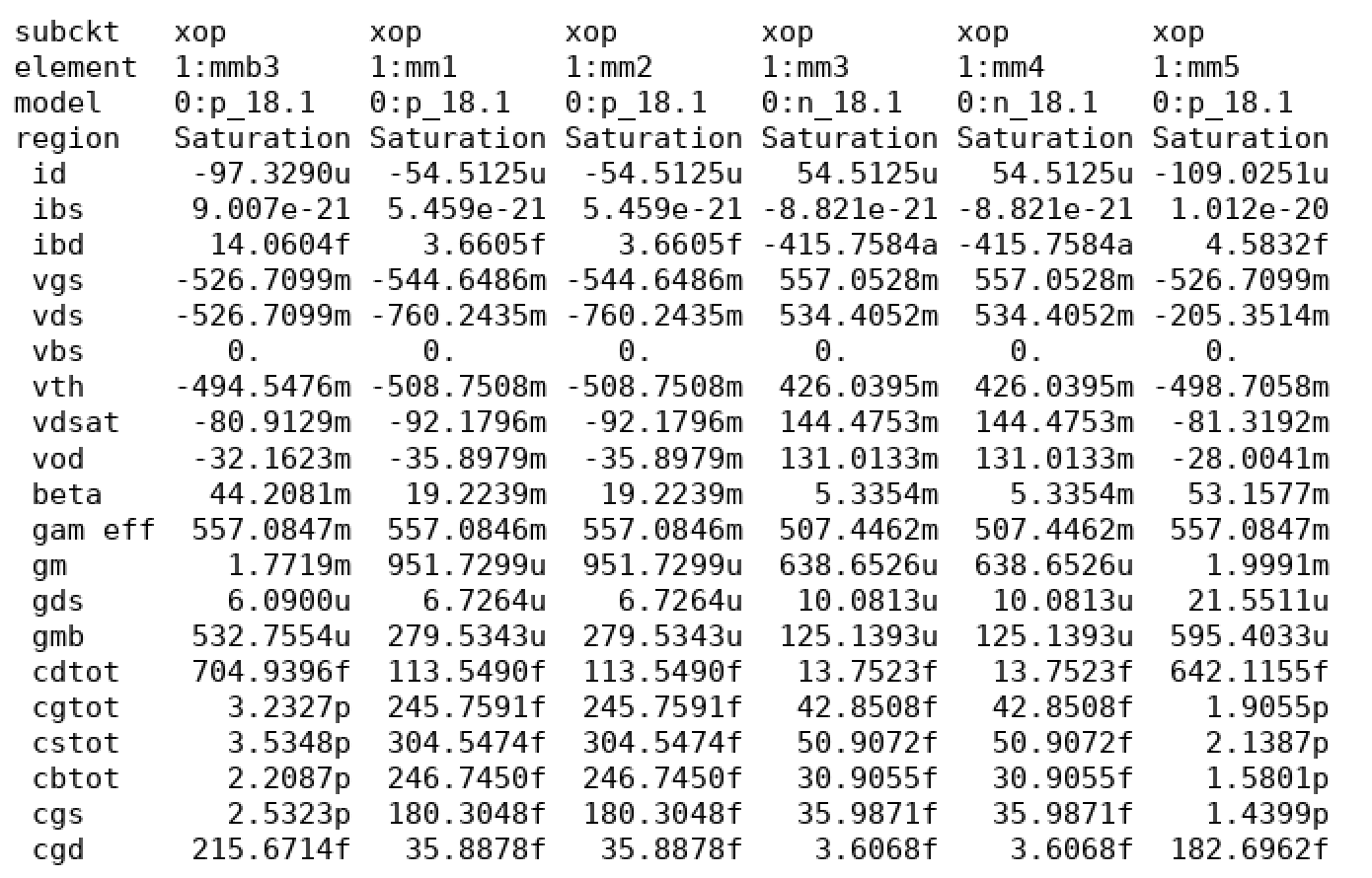
[6.2 Please conclude what you get and suggest for this course. 29](#_Toc124093740)

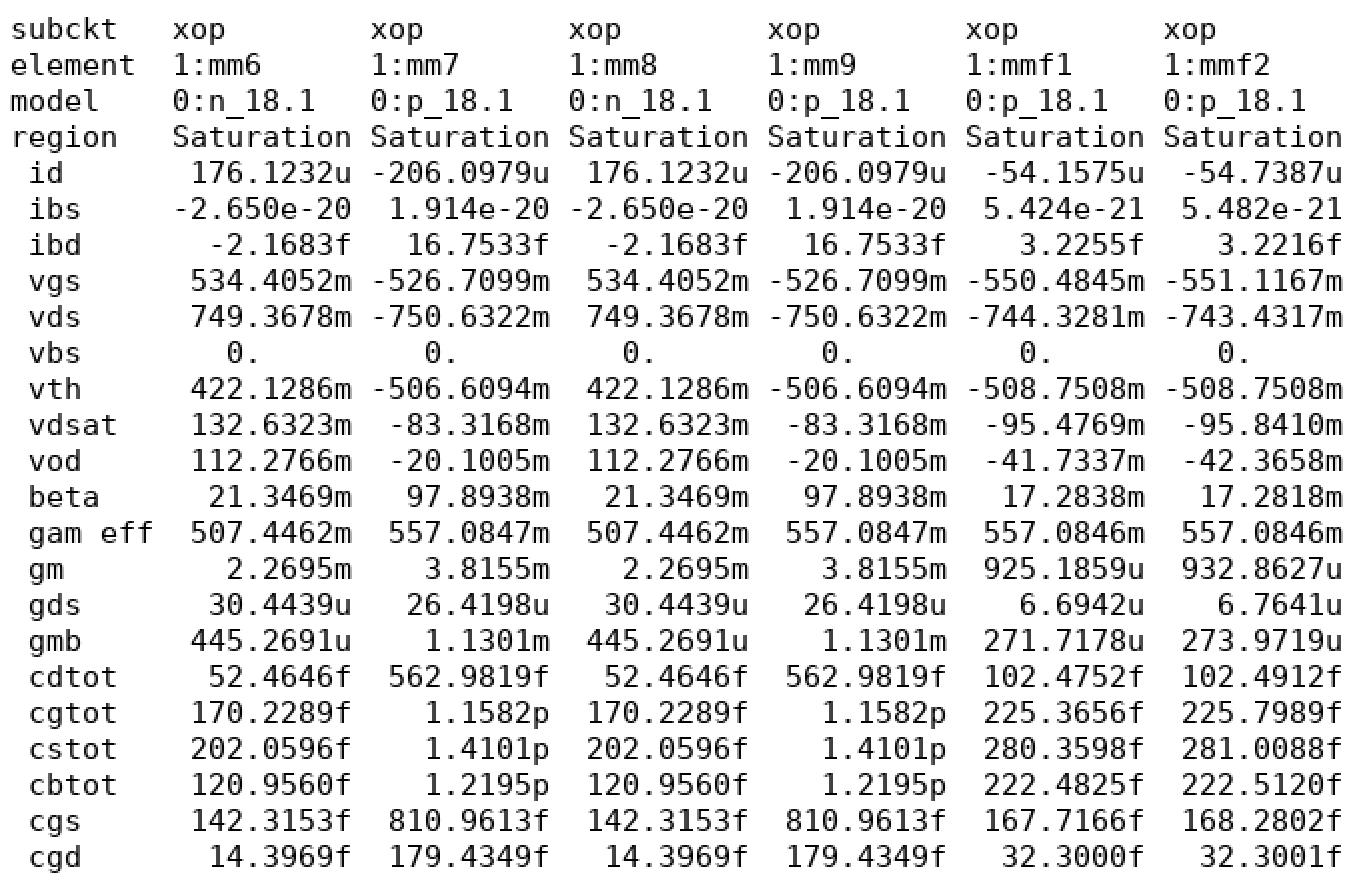
1. Schematic

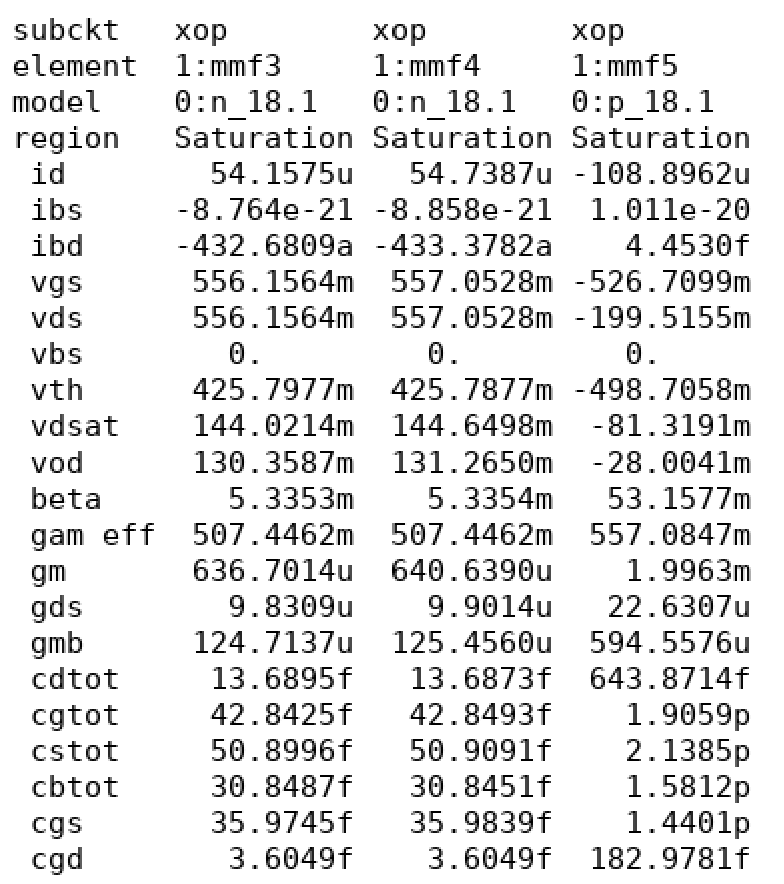


|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **MOS** | **W/L** | **m** | **MOS** | **W/L** | **m** |
| **MB3** | 60μ/1μ | 10 | **M8** | 40μ/0.6μ | 4 |
| **M1** | 10μ/0.4μ | 10 | **M9** | 50μ/0.4μ | 10 |
| **M2** | 10μ/0.4μ | 10 | **MF1** | 10μ/0.4μ | 9 |
| **M3** | 10μ/0.6μ | 1 | **MF2** | 10μ/0.4μ | 9 |
| **M4** | 10μ/0.6μ | 1 | **MF3** | 10μ/0.6μ | 1 |
| **M5** | 50μ/0.7μ | 10 | **MF4** | 10μ/0.6μ | 1 |
| **M6** | 40μ/0.6μ | 4 | **MF5** | 50μ/0.7μ | 10 |
| **M7** | 50μ/0.4μ | 10 |  |  |  |

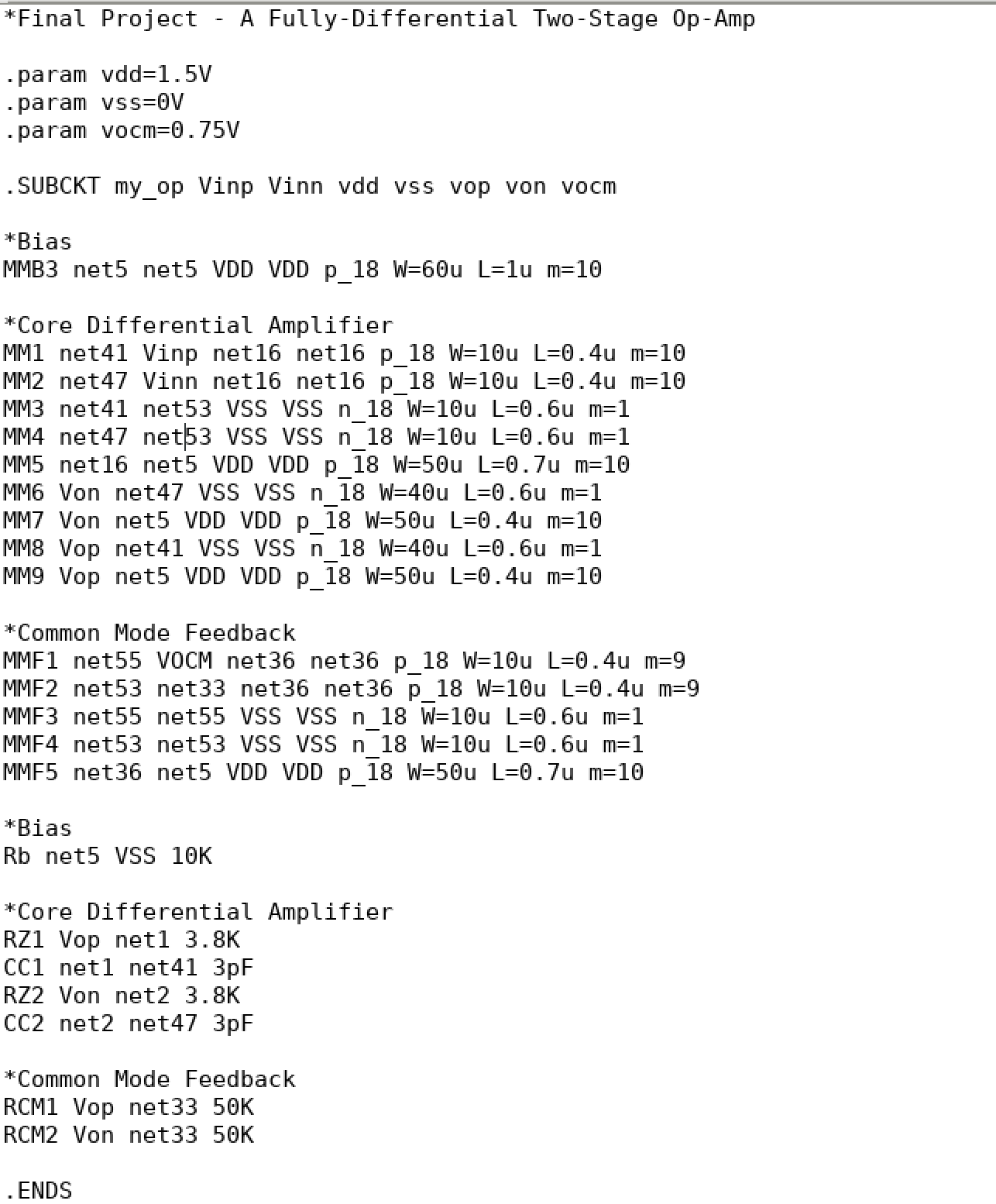
Fig 1 marks each active device dimension, passive, component value, node voltage and branch current







1. Spice Code

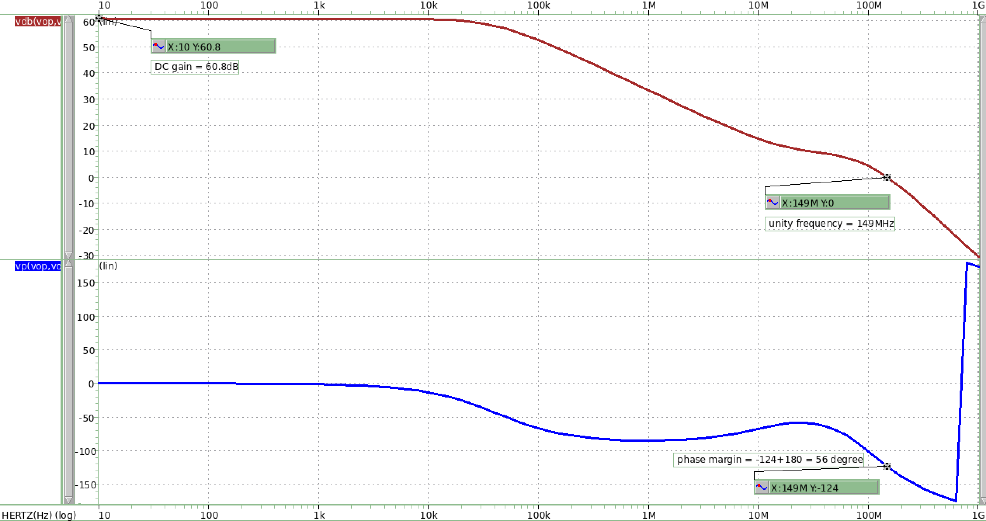


1. Simulations and Calculations

## Open-loop differential mode AC response

一張含有 文字, 室內, 螢幕 的圖片

自動產生的描述



Unity frequency=149.3MHZ

Phase margin= 56 degree

DC gain=60.8dB

Fig AC response

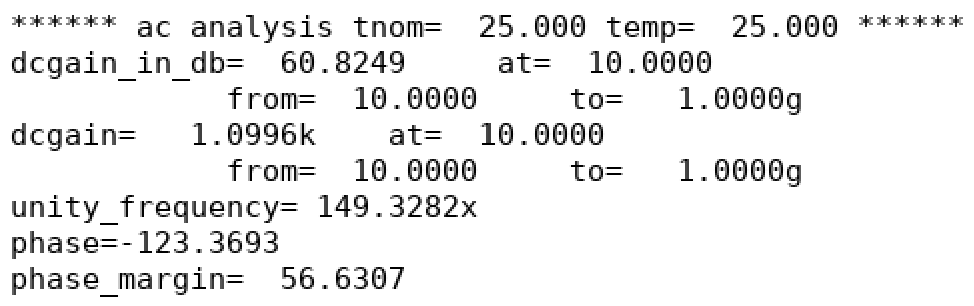


Fig ac command result

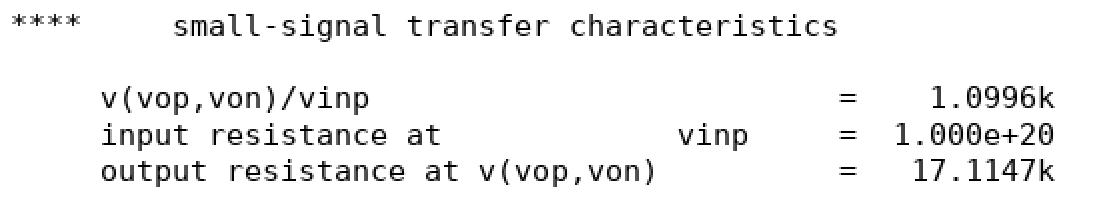
****

Fig .tf command result

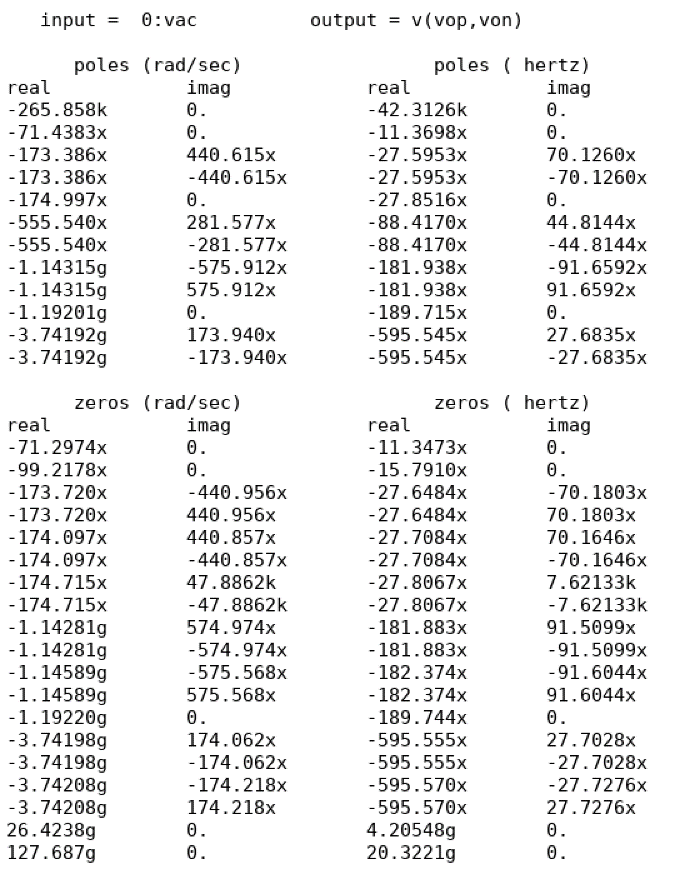
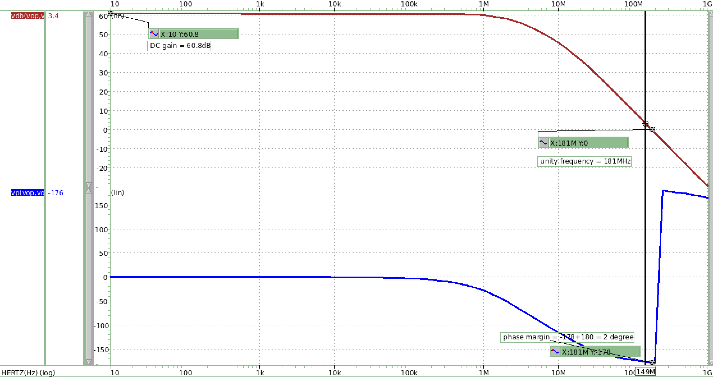


Fig poles and zeros

**Discussion the movement of poles/zeros after compensation.**



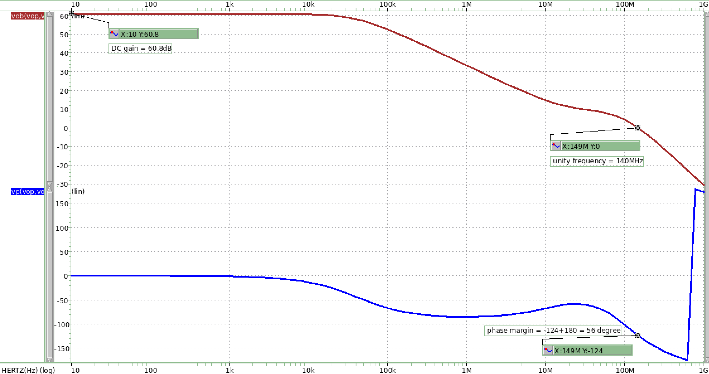


Fig after compensation

Fig before compensation

上面兩張圖，左圖為compensation前，右圖為compensation後。

從這兩張圖的差別可看出，未補償前的unity frequency較大，相應的phase margin也非常小(發散邊緣)，只有1degree。而補償後的圖，整體poles and zeros往左移，主極點的位置更靠左邊，雖然unity frequency變小了，但phase margin變大許多，使電路處於穩定的狀態，達到補償目的。

**Hand Calculation:**

|  |  |
| --- | --- |
| **gm1** | **951.7299μ** |
| **ro1** | **148.668K** |
| **ro3** | **99.194K** |
| **gm8** | **2.2695m** |
| **ro8** | **32.847K** |
| **ro9** | **37.85K** |
| **RL** | **25K** |
| **RCM** | **50K** |
| **RZ1** | **3.8K** |

|  |  |  |  |
| --- | --- | --- | --- |
|  | **Simulation** | **Hand Calculate** | **error** |
| **Ad(V/V)** | 1.0996K | 1.0996K | 0% |
| **Pole1(Hz)** | 42.313K | 38.058K | 10.056% |
| **Pole2(Hz)** | 27.85M | 37.2M | 33.57% |
| **Zero(Hz)** | 15.79M | 15.792M | 0.013% |

## Open-loop differential mode DC sweep

一張含有 文字, 室內 的圖片

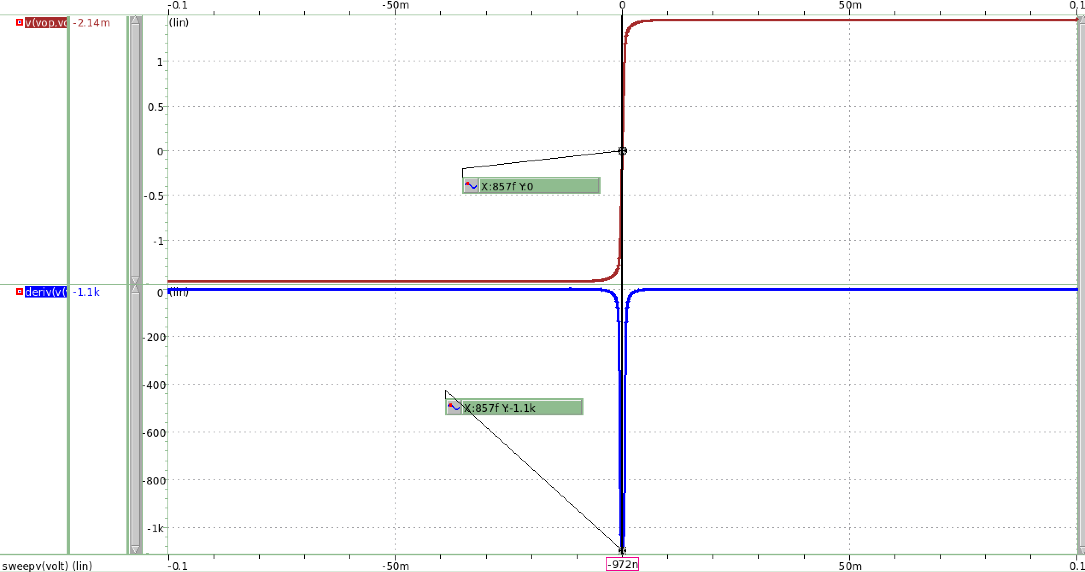
自動產生的描述



Vop

Von

Fig Vop&Von seperate dc sweep waveview



**Slope= 1.1K，same as ac result**

Deriv(‘v(vop,von)’)

v(vop,von)

Fig differential output and its derivation

## Open-loop common mode AC response

一張含有 文字, 室內, 螢幕 的圖片

自動產生的描述

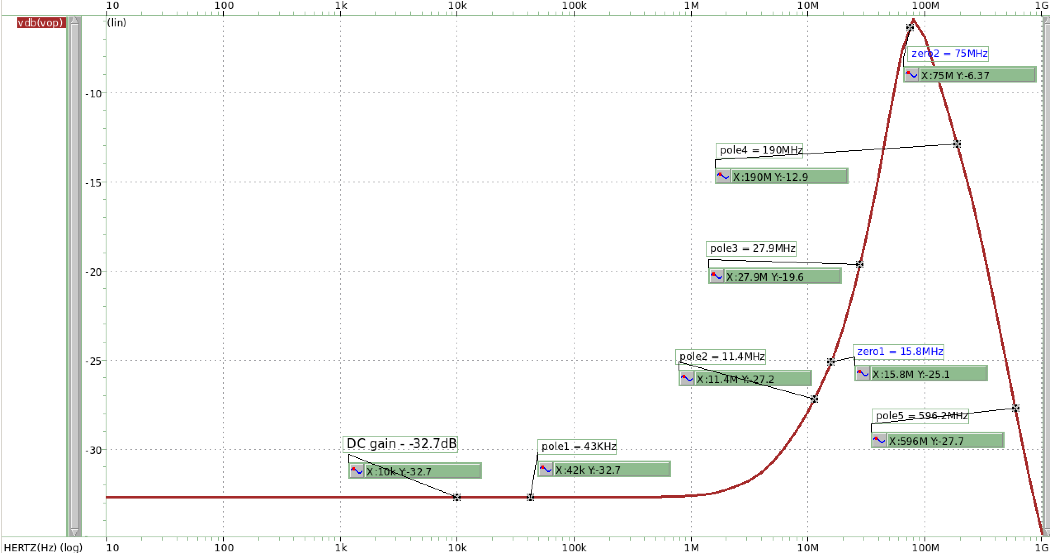


Fig magnitude response with poles and zeros

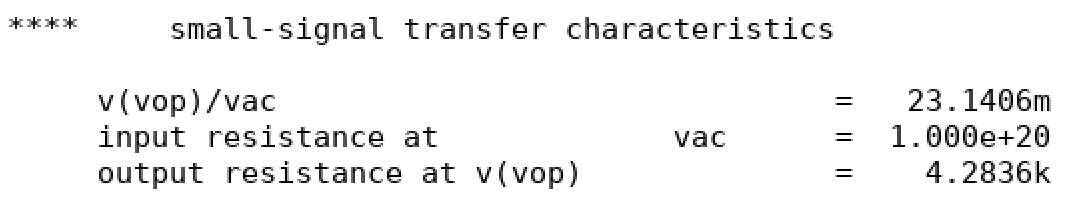


Fig tf command result

**Acm= -32.7dB**

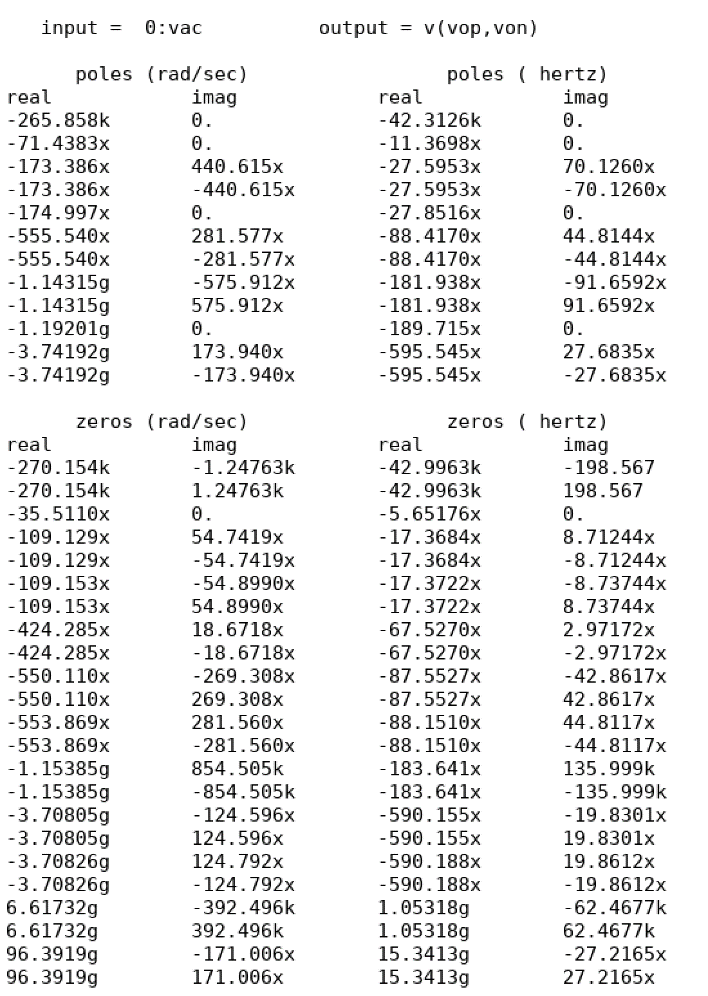


Fig .pz command result

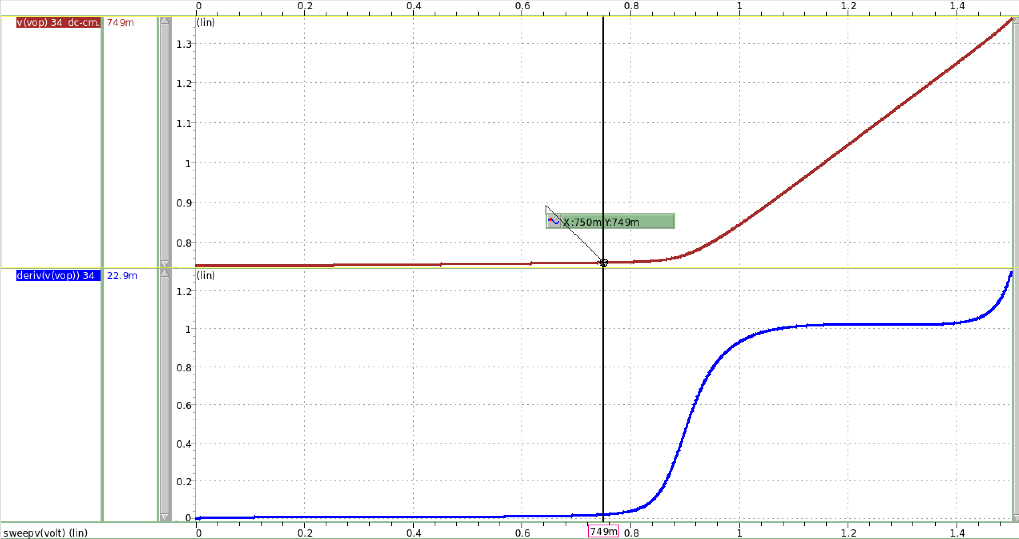
**Hand Calculation:**

V/V

## Open-loop common mode DC sweep

一張含有 文字, 室內 的圖片

自動產生的描述



**Slope = 22.9m, same AC response**

v(vop)

Deriv(‘v(vop)’)

Fig dc sweep

Vinp sweep to 0.75時，slope = 22.9m，與AC response結果相近。

## Open-loop power supply+ AC response

一張含有 文字, 室內, 膝上型電腦 的圖片

自動產生的描述



DC gain = -58.9dB

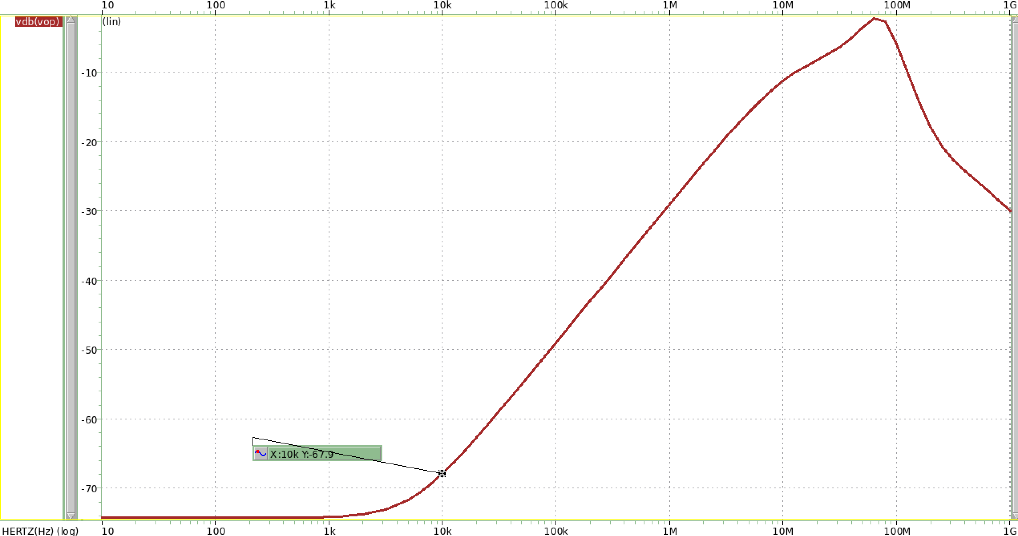
Fig magnitude response of power supply+ gain

**DC gain = -58.9dB**

## Open-loop power supply- AC response

一張含有 文字, 室內 的圖片

自動產生的描述



DC gain = -67.9dB

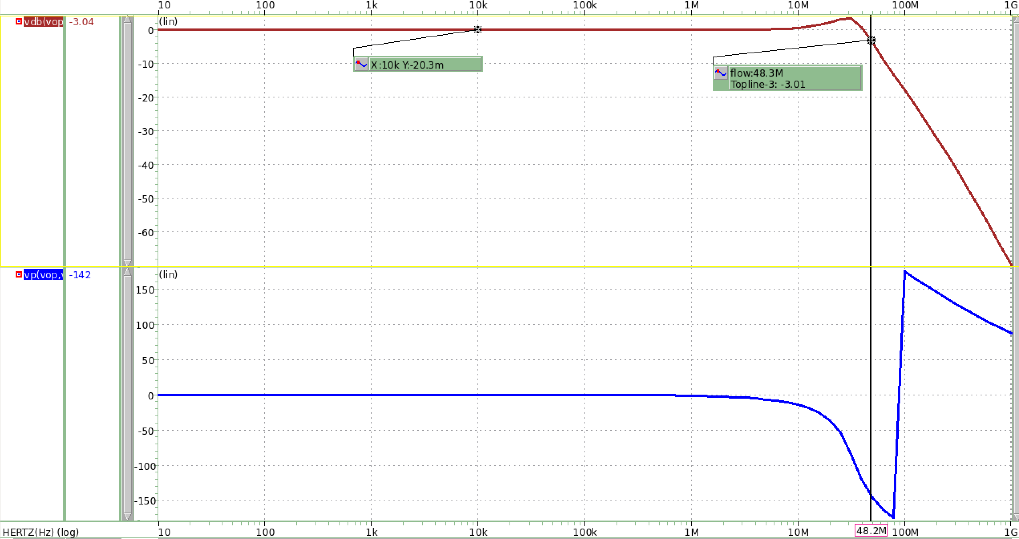
Fig magnitude response of power supply- gain

**DC gain = -67.9dB**

## Closed-loop differential mode AC response

一張含有 文字, 室內, 螢幕, 螢幕擷取畫面 的圖片

自動產生的描述



-3dB frequency = 48.3MHz

DC gain≈ 0dB

Fig AC magnitude and phase responses

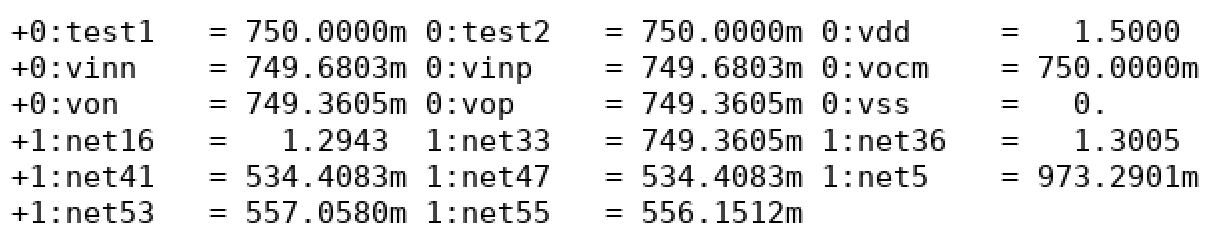
****

Fig node voltages

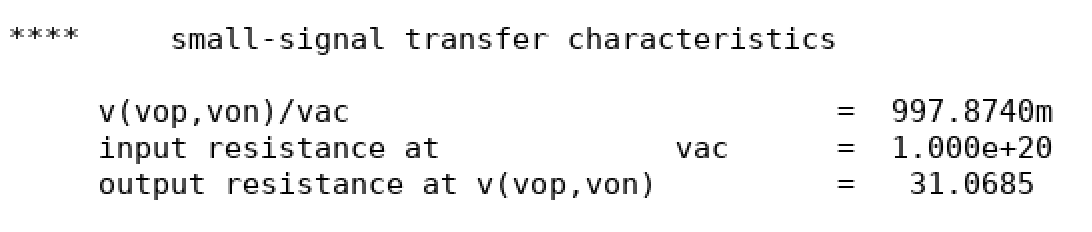


Fig .tf command result

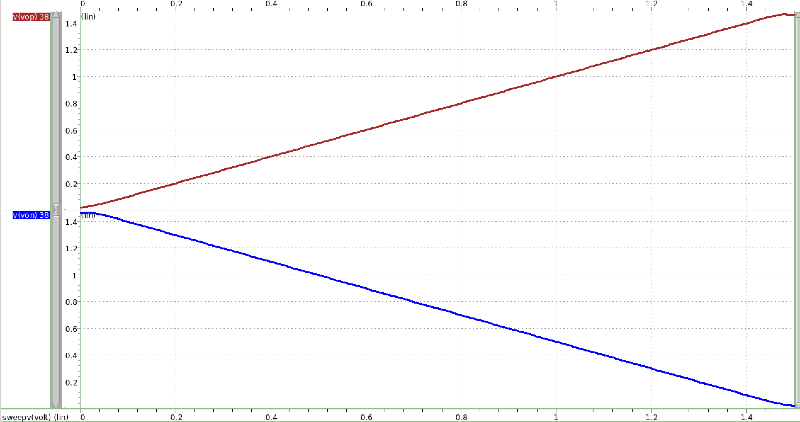
**Discussion:**

|  |  |  |  |
| --- | --- | --- | --- |
|  | **Simulation** | **Hand Calculate** | **Error** |
| **Av** | 997.874m | 998.184mV | 0.031% |
| **-3dB frequency** | 48.3MHz | 23.24MHz | 51.88% |

## Closed-loop differential mode DC sweep

一張含有 文字, 室內, 螢幕, 螢幕擷取畫面 的圖片

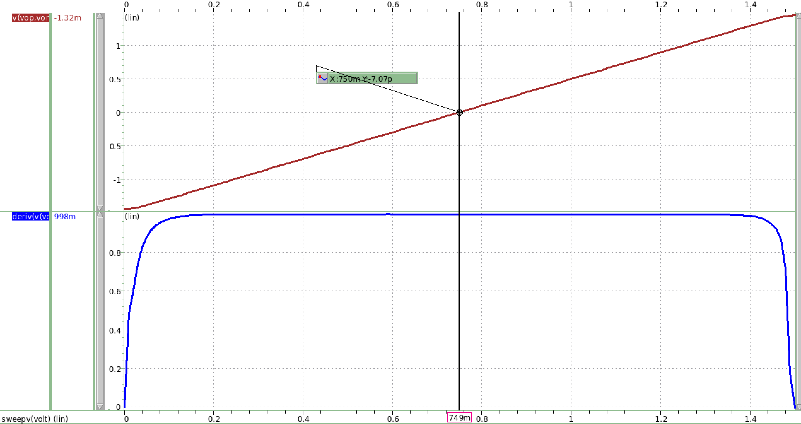
自動產生的描述



Von

Vop

Fig single-ended output vop and von



Slope = 1

v(vop,von)

Deriv(‘v(vop,von)’)

Fig differential output and its derivation

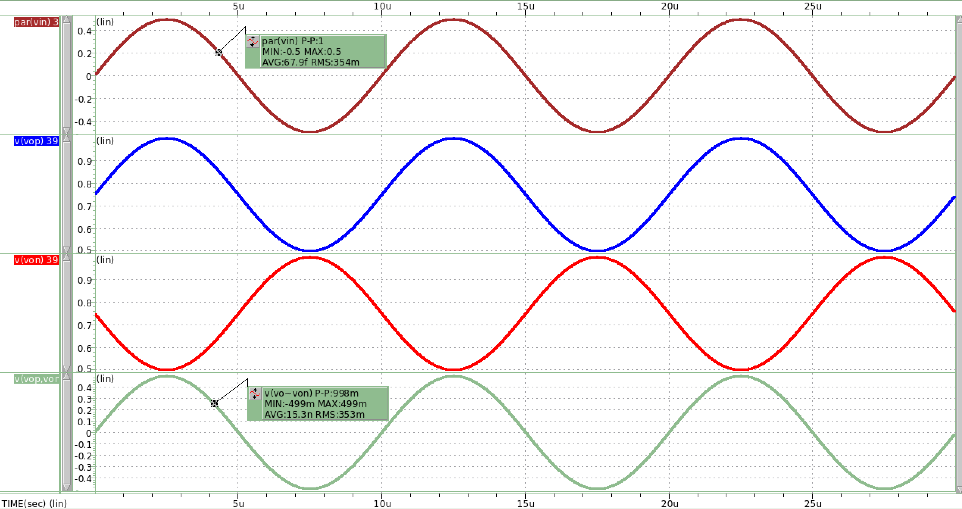
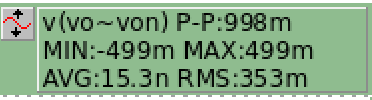
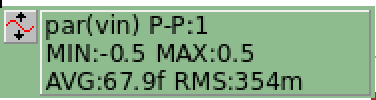
**Compare gain with AC response:**

**AC response gain = 998mV/V，same as the slope value。**

## Closed-loop distortion simulation

一張含有 文字, 室內, 螢幕, 螢幕擷取畫面 的圖片

自動產生的描述



Von

Vop

Vin

v(vop,von)

Fig single-ended and differential output

Closed loop gain = 1，所以當輸入一1V differential step inputs訊號時，output輸出peak to peak也會是1V，上圖結果OUTPUT訊號peak to peak為999mV。

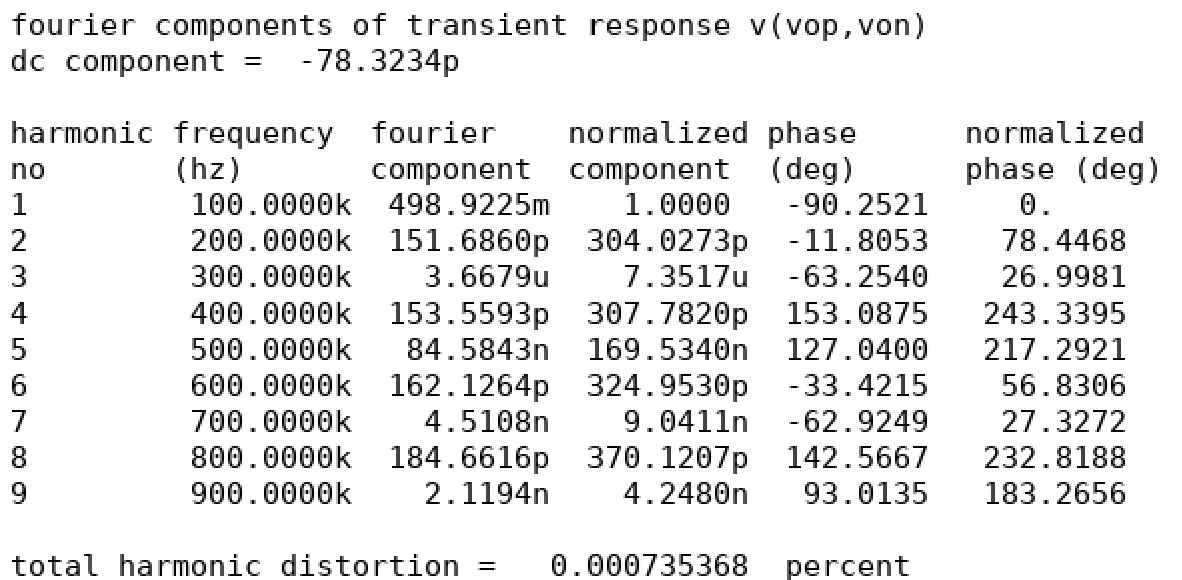
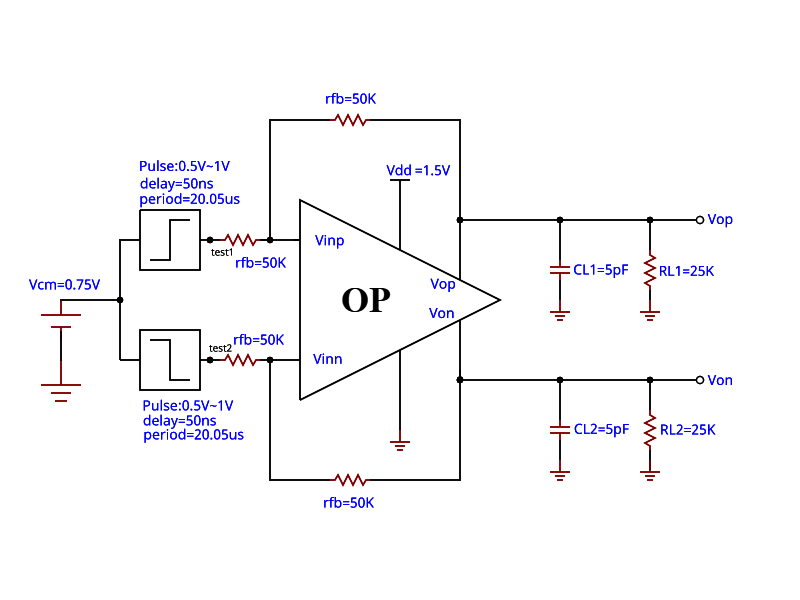
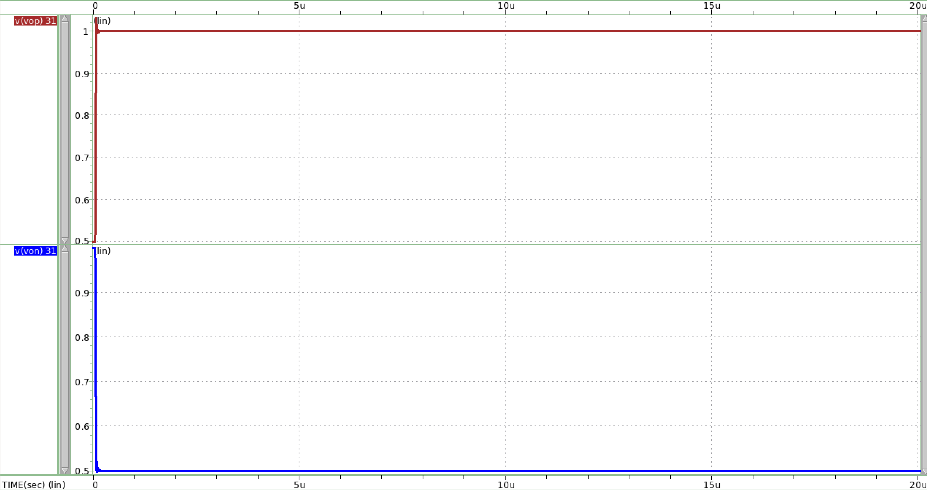


Fig THD result of differential output

**THD=0.0007% = -102.67dB**

## Closed-loop step response





Von

Vop

Fig single-ended output



v(vop,von)

Fig differential output

* **Slew Rate+ and Settling time+:**

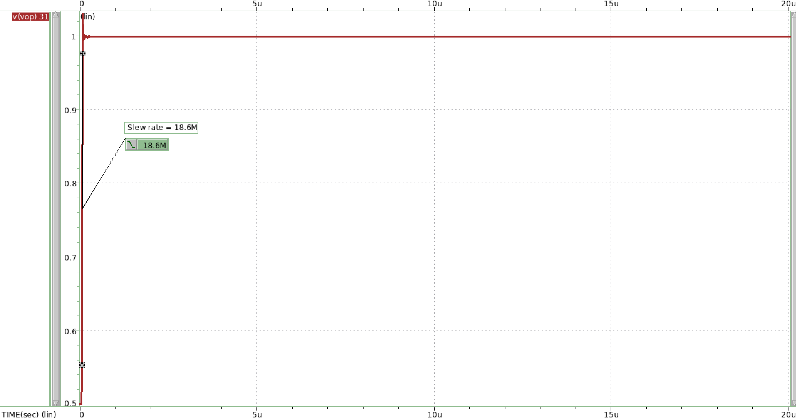


Fig Vop output

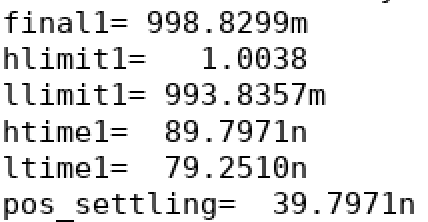
****

Fig settling+ time

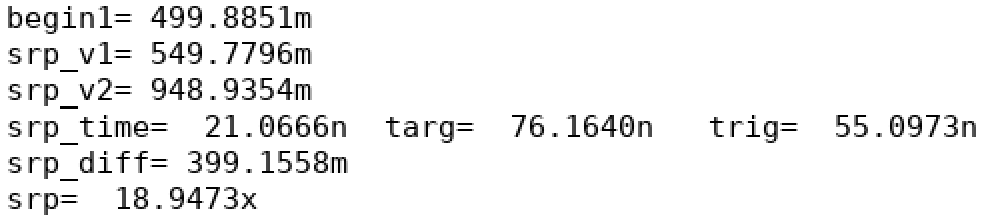
****

Fig slew rate+

**Slew rate+ = 18.9473M ; Settling time = 39.7971ns**

**Hand Calculate(slew rate+):**

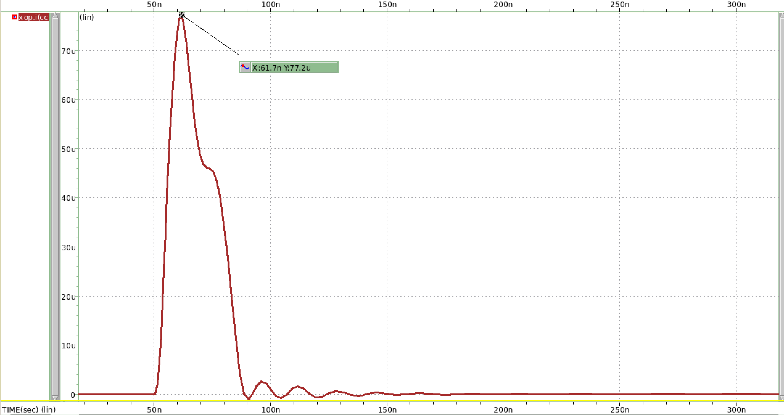


Fig Cc1上流經電流

* **Slew Rate – and Settling time –:**



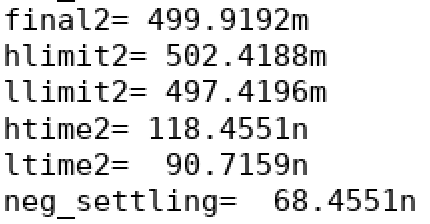


Fig settling- time

Fig Von output

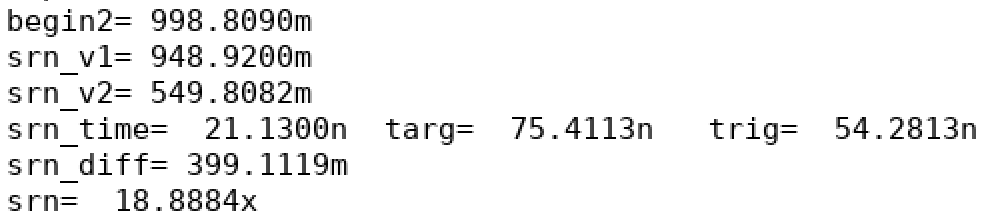
****

Fig slew rate-

**Slew Rate- = 18.8884M ; settling time = 68.4551ns**

**Hand Calculate(slew rate-):**

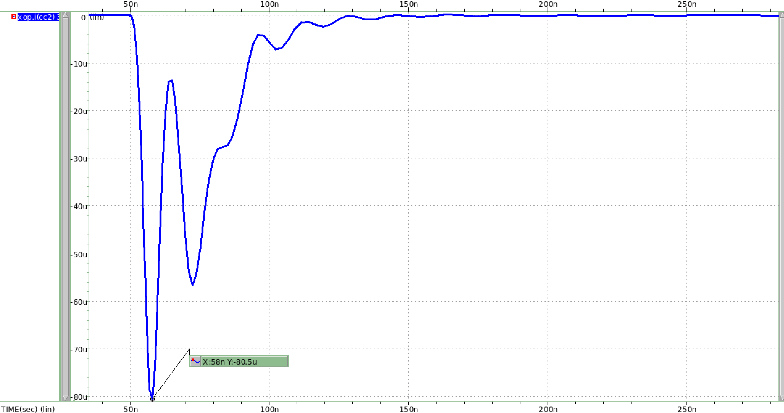
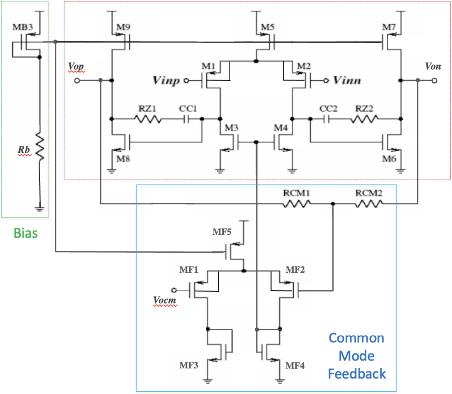


Fig Cc2上流經電流

* **common mode sensing node waveform:**



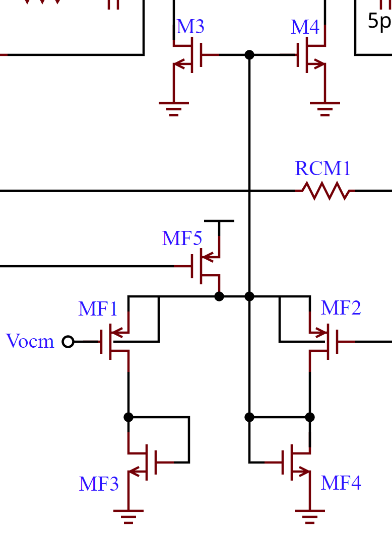
Sensing node(net33)

****

Fig common mode sensing node waveform

* **Try to improve the common model settling time. And discuss the CMFB operation during step transient.**

Vinn and Vinp 以差模訊號形式輸入進OP，產生一differential output，使sensing node V(net33)在大訊號圖上產生一震盪，從0.747V(無小訊號輸入時的電壓值)變化一個量值，最終回到穩定。這段震盪時間與settling time有關。

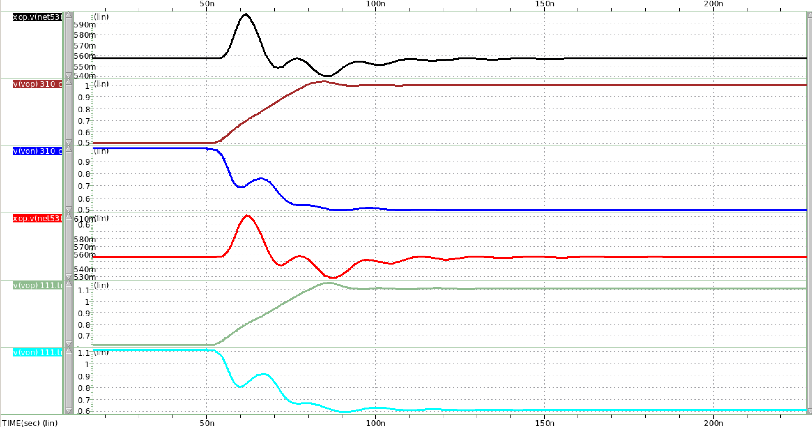


左圖為op內部common feedback circuit的電路，MF4和MF2的電流被上面M3, M4的gate端電壓控制，所以若提高feedback circuit MF5的電流，將全部由MF1及MF3吸收，電流越大，除非調整上方M3, M4的gate端電壓，否則將導致電流不均，使其中一端輸出(Vop or Von)的settling time increase。

**Net53**

下圖為兩種電流大小對應其電壓波形圖:

**V(net53)**



**MF5 = 108.8962μA**

**Von**

**Vop**

**Vop**

**Von**

**V(net53)**

**MF5 = 300.3685μA**

當電流變大，V(net53)回到穩定的時間更長，進而影響到Von的settling time，也變得更長，在調整過程，Vop的 settling time幾乎沒什麼變化，變化的都是Von，推測原因是提高電流本身並不會對settling time有不好的影響，會讓Von settling time提高的原因是因兩條電流不平均。

所以，盡可能使CMFB circuit左右兩條電流平均，也許是improve settling time的方法之一。

1. Performance Table

|  |  |  |  |
| --- | --- | --- | --- |
| Design Items | Specifications | Ref Work | My Work |
| Technology | CIC pseudo 0.18um technology | | |
| Supply Voltage | **1.5V** | **1.8V** | **1.5V** |
| Vicm,Vocm | **0.75V, 0.75V** | **0.9V, 0.9V** | **0.75V, 0.75V** |
| Supply current | **<5mA** including bias ckt | 1.136mA | 0.7274mA |
| Loading | **5pF/25KΩ (for each output)** | **5pF/10KΩ** | **5pF/25KΩ** |
| Compensation R, C, | Rc<10KΩ, Cc<10pF | Rc=0.5KΩ, Cc=3pF | Rc=3.8K, Cc=3pF |
| Open-loop simulation | | | |
| DC gain | >60dB,as large as possible | 70.6dB | 60.8B |
| G-BW(ft) | >30MHz,as large as possible | 64.1MHz | 149.3MHz |
| P.M. | >45。 | 54.8。 | 56.6。 |
| C.M.R.R.@10KHz | > 90dB | 100.6dB | 93.5dB |
| P.S.R.R.+10KHz | > 90dB | 102.0dB | 119.7dB |
| P.S.R.R.-10KHz | > 90dB | 103.9dB | 128.7dB |
| Closed-loop simulation | | | |
| Differential swing of 1.0 -V (step or sinusoidal) | | | |
| Closed loop gain | >-0.1dB @ 10KHz | -0.005dB | -0.018dB |
| S.R.+(10%~90%) | >15V/μs(single-ended output) | 18.9 V/μs | 18.9 V/μs |
| S.R.-(90%~10%) | >15V/μs(single-ended output) | 22.7 V/μs | 18.9 V/μs |
| T.H.D.(1.0Vpp@100KHz Sin) | < -60dB | -59dB | -102.67dB |
| Settling+ (1.0Vpp to 0.5%) | <150ns | 240ns | 39.8ns |
| Settling- (1.0Vpp to 0.5%) | <150ns | 250ns | 68.5ns |
| **FoM:** | | | |
| GxBW / total bias I | MHz/ mA | 56.4 | 205.4 |
| Settling+ / total bias I | 1000 / nsec x mA | 3.67 | 34.6 |
| Settling- / total bias I | 1000 / nsec x mA | 3.52 | 20.07 |

1. Design Concerns

# Operation point selection.

因負責提供電的mos，其gate全都與MB3的gate相接，故第一件事便是決定此點電壓。提高Rb時將使gate端電壓提高，在設計Rb大小時只需防止MB3截止，因MB3不可能進入linear region，至於MB3的size，直覺上調大會使流變大，但因調大size時，變大的不是只有電流，因為電流變大同時，gate端電壓也會一起上升(Rb不變)，根據電流公式會發現，當pmos VG上升，其電流會下降，經過幾組數據測試發現普遍調大size時，MB3電流不升反降。考慮到整體電流不宜過大，在設計Ibias時，選擇使其小於0.1mA。

設計完bias part，便可以開始設計core differential part和common feedback part，以下分別探討:

1. Core differential part:

因題目有指定RL=25K掛在輸出端上，根據前面Ad公式，ro8、ro9再大也沒用，因為最後會因與RL並聯而整體電阻下降，故在設計時，採用M6~M9負責提供大gm，M1~M4負責提供大ro (小gds)，這樣設計的原因是大gm必定搭配大gds，要同時擁有大gm及大ro相當困難，且考慮到supply current不可太大的關係，本專題選擇此設計方向，最終輸出增益為65.3dB。

1. common feedback part:

共模增益越小越好，其實設計到夠大的差模增益就是一個很好的兩全其美方式了，因為共模增益公式中，Acm和差模增益成正比，故越大的差模增益可一定程度上抑制共模增益，而，在設計時使gm,MF2> gm,MF1，意即MF2流經電流大於MF1便可使共模增益變小，因MF2由core differential part的 M3,M4 gate端電壓決定，因此設計MF5 size變得非常重要，應該使MF5電流不超過兩倍MF2電流為原則下進行設計，以避免gm,MF2< gm,MF1。

# Compensation. Please especially address your placement of unity frequency (ft), first non-dominant pole (p2), and zero (LHP or RHP).

電路還未加入補償電阻電容時，其主極點很大，與first non-dominant pole (p2)很靠近，unity frequency也很大，雖然unity frequency大是好事，但對應的phase margin只有1，使電路非常不穩定，需要靠補償電容和電阻將主極點往左拉，first non-dominant pole則往右邊拉，避免unity frequency因主極點往左移動下降過多。

至於加入的補償電阻及電容應該設計多大可以達到目的，理論上因主極點與電容成反比關係，設計越大的補償電容可使主極點變小許多，但太大的話會影響slew rate的表現，可以順便得知slew rate與 phase margin是一個tradeoff。

考量slew rate的關係，電容不可設計太大，若導致補償效果降低的話，這時候變再加入一補償電阻RZ，但與電容的概念不同，電容是分離主極點與first non-dominant pole，電阻的功能則是將zero移到左半平面，使電路恢復穩定，此補償電阻RZ需設計得比大，才可達到增加phase margin的目的，使電路回到穩定狀態。

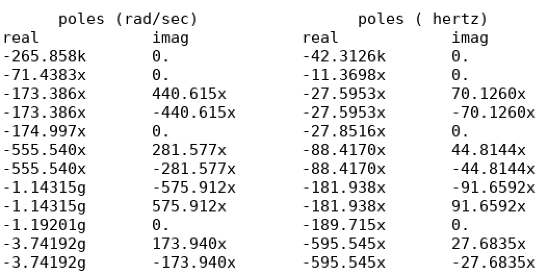
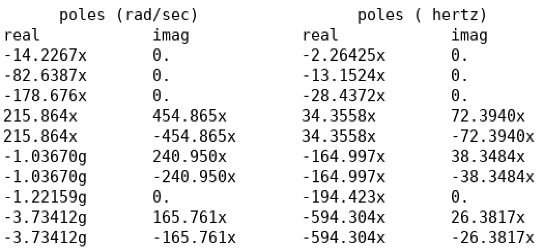
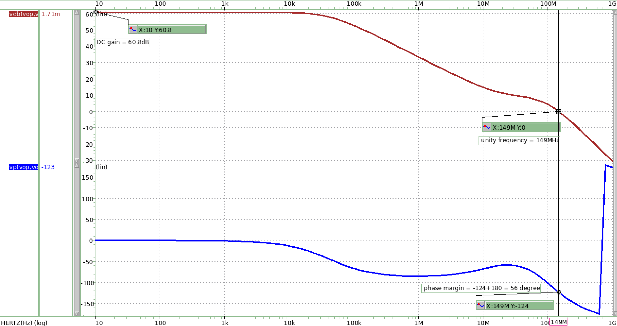
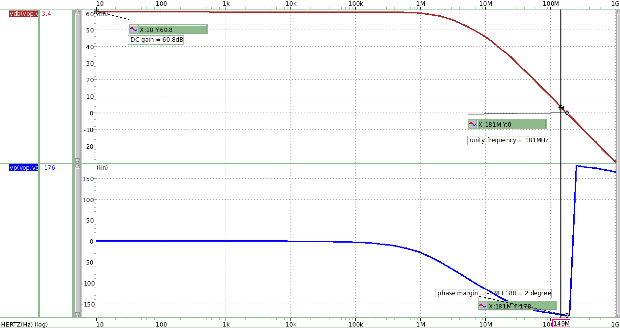


Fig after compensation

Fig before compensation



**Phase margin = 2 degree**

**Phase margin = 56 degree**

Fig after compensation

Fig before compensation

左圖為補償前，pole1 and pole2分別為2.26MHz 和 13.15MHz，相當靠近，導致其phase margin非常小，使電路處於隨時發散的狀態;而右圖為補償後，pole1 and pole2分別為42.3KHz 和 11.37MHz，相距很遠，phase margin也變大許多。

# Feedback loop of common mode stabilization. Please compare the loop performance of the common mode and the differential mode signals.

當輸入為common input時，決定CMFB的電流值及每個mos的size變得非常重要，其內部有許多小參數會影響共模增益，比方說: gm,MF2應大於gm,MF1以抑制共模增益。

當輸入為differential input時，CMFB在小訊號分析上除了RCM的值以外，下方的circuit皆對differential gain沒有影響，但仍與大訊號分析的settling time及slew rate有關，在前面也提到過CMFB電流分配的重要性，若使MF1、MF2兩端電流差距過大，將導致Von 的settling time increase。至於slew rate的影響，使CMFB電流提高原則上可以增加Slew rate，但代價就是功耗變大，或是增加補償電阻大小也可以提高slew rate，但會降低settling time，由此可知slew rate與settling time也是一個tradeoff。

# How to achieve better FoMs.

增加FoMs有幾個要素，降低supply current當然是其中一個，還有增加unity frequency、減少settling time也可以提高FoMs。

**Decrease Supply current:**

降低supply current很直覺也沒什麼其他調整方法，就是縮小每個mos的size便可使電流變小，但電流變小有許多缺點，最基本的differential gain有可能因此過低，或是slew rate不夠大等tradeoff。降低supply current到非常低又要確保OP的功能性是非常困難的一件事。

**Increase unity frequency:**

有幾個方法可以提高unity frequency，其中一個方法是不加入補償電容或是將補償電容設計的小一點，但代價是有可能使電路處於發散邊緣，無法收斂的放大器就是一個震盪器，就如3.5、3.6的PSRR，電路抑制雜訊能力表現將會非常差，使OP無法在很多情況運作。另一個方法便是增加電流，靠提高電流強行維持增益同時使unity frequency在一定的值以上，代價便是整體功耗增加。

**Decrease settling time:**

降低settling的方法為增加補償電容的大小，但也有代價，無論是slew rate還是unity frequency都會下降，三者要同時取得平衡，達到最好的總體表現也是需要不斷的調整最終找出最佳的設計。

1. Discussions

#### Discuss your experience on this project and the problem during design.

不只是這份project，每次作業要同時滿足老師給予的spec都會發現許多tradeoff，除了第一次作業，其他次作業都不是一次到位。

這份project當然是這堂課最難的一次設計，同時符合大訊號與小訊號的spec，小訊號內部又是這麼多的tradeoff，要如何設計這麼大的電路，differential gain夠大、common gain盡可能的小，同時注意phase margin以避免電路發散，每個mos都需處於saturation region，光是小訊號分析就已經很多低方要不斷調整以符合每個條件要求，同時還有大訊號需要考量。令我印象最深刻的是大訊號的settling time竟然與小訊號的phase margin tradeoff，如何設計補償電容值絕對是一大重點，既然加入了補償電容，補償電阻肯定也無法不考慮，光是這兩個元件的optimize就花了一段時間。

做完整份project，我認為我的supply current還可以再減少也不至於使電路功能不符合spec。整體來說有幾個我覺得設計得不錯的地方，包括我的Vop、Von node level非常接近0.5VDD，使得我的dc transfer curve非常好看，幾乎是對稱且reach VDD and gnd，還有sensing node的圖形也是非常漂亮，沒有甚麼雜訊感，是一個很漂亮的弦波。

#### Please conclude what you get and suggest for this course.

過去大學已經上了許多電子學的課程內容，其中當然包含OP，在設計differential gain、common gain、bandwidth、phase margin等都算是孰悉的，但這學期所學的類比電路除了小訊號的部分，還有大訊號的層面要考慮，使整體設計難度提升，但同時也讓我知道原來OP不是只有小訊號，放大能力很強，頻寬非常大就是一個好的OP，也許settling time表現很差導致訊號回到穩定的時間很久，另外，之前完全沒接觸過的就是T.H.D.，記得當初作業要求電路符合Total Harmonic Distortion，要不是有上課完全不知道從何下手，記得老師那時候是以音響為例，表示擁有好的放大能力卻沒有好的雜訊抑制能力，音響便會動不動就破音，讓我更加體會市面上真正在販售的產品與目前所學的電路設計也是有許多相關之處，比起大學，修讀研究所課程很大的一個差別是更加了解為何這樣設計?為何要符合這些spec?而不是背公式算答案這樣抽象的電路概念。